

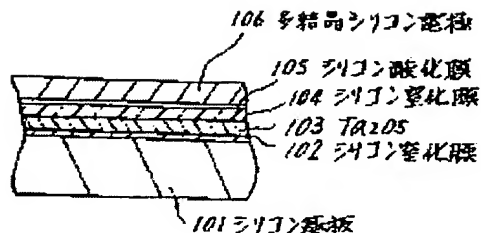
## SEMICONDUCTOR DEVICE

Patent number: JP62118559  
Publication date: 1987-05-29  
Inventor: YOSHIE MASANOBU; others: 01  
Applicant: NEC CORP  
Classification:  
- International: H01L27/04  
- european:  
Application number: JP19850258867 19851118  
Priority number(s):

### Abstract of JP62118559

**PURPOSE:** To prevent silicide reaction between a metal oxide film such as a Ta<sub>2</sub>O<sub>5</sub> film used in a capacitor part and a silicon substrate, to prevent reaction between the metal oxide such as Ta<sub>2</sub>O<sub>5</sub> film and a polycrystalline silicon electrode located on the metal oxide film such as the Ta<sub>2</sub>O<sub>5</sub> film, to reduce leaking currents and to prevent reduction in capacitance due to heat treatment, by providing a silicon nitride film.

**CONSTITUTION:** A silicon nitride film 102 formed on the surface of a silicon substrate 101 is used to prevent silicide reaction between a Ta<sub>2</sub>O<sub>5</sub> film and the silicon substrate when the Ta<sub>2</sub>O<sub>5</sub> film is formed in the succeeding process. The diffusion coefficient of oxygen in the silicon substrate 101 is not oxidized through said Ta<sub>2</sub>O<sub>5</sub>, and the capacitance is not reduced. A silicon nitride film 104, which is formed on high dielectric-constant material, is formed by, e.g., a pressure reduced CVD method. Then, the silicon nitride film is thermally oxidized and a thin silicon oxide film 105 is formed. The best advantage of this oxidation is the fact that the basis film is grown by the oxidation of the surface of the silicon substrate 101 through pinholes in the Ta<sub>2</sub>O<sub>5</sub> film 103 and the silicon nitride film 102.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-118559

⑬ Int.Cl.<sup>4</sup>  
H 01 L 27/04

識別記号 庁内整理番号  
C-7514-5F

⑭ 公開 昭和62年(1987)5月29日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭60-258867

⑰ 出 願 昭60(1985)11月18日

⑱ 発 明 者 善 家 昌 伸 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 発 明 者 清 水 俊 行 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

半導体基板や絶縁体基板上に散けられた電極と、該電極上にシリコン窒化膜と、 $Ta_2O_5$ 、 $TiO_2$ 、 $Nb_2O_5$ 、 $BaTiO_3$ のうちのいずれかの金属酸化膜と、シリコン窒化膜と、シリコン酸化膜とを順次積層形成した絶縁層と、該絶縁層上に散けられた電極とから構成される容量を備えたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にダイナミックRAM等において用いる情報蓄積容量部の構造に関する。

〔従来の技術〕

半導体基板、特にシリコン半導体基板上に形成される集積回路は高集積化、大容量化の一途をたどり、メモリー素子の様な集積回路では1Mビット又はそれ以上へと集積度が増大してきている。現在ダイナミックRAM(以後DRAMと記す)の様なICメモリーに於いては情報蓄積部(以下セルと記す)を1個のトランジスターと1個の情報蓄積容量部で構成するのが最も小型化に適していると考えられる。この方式での情報蓄積方式では半導体チップの大部分を前記セルの情報蓄積容量部面積が占める。この種の装置は歩留りとコストの点からチップサイズは極力小さくする必要がある。従ってこの方式によるDRAMの大容量化は情報蓄積容量部面積の減少が最も有効な手段となる。

しかし、この情報蓄積容量は $\alpha$ 線によるソフトエラー等によって引き起こされる誤動作に対する信頼性を確保するため50fF以上の容量が必要とされ、微細化により1素子当りの面積が小さくなるからといって容量をあまり小さくすることは

許されない。従って通常は情報蓄積容量部面積の縮小に伴い、誘電体膜の薄膜化によって蓄積容量を確保する方法がとられる。しかし、例えば従来用いられている比誘電率3.9のシリコン酸化膜をメガビット級DRAMに適用した場合、シリコン酸化膜の膜厚は $100\text{\AA}$ 以下となり、このような薄膜の絶縁耐圧は電源電圧5Vに耐えられず、使用は不可能であると予測される。この様な背景から酸化膜厚は厚いまま容量部面積を実効的に広く確保する手段として基板表面に溝を掘り溝側壁を容量部とする構造が提案されている。しかしこの構造を用いたとしても例えば4~16メガビット級DRAMでは溝の深さは $10\text{ }\mu\text{m}$ にもなり、後工程の電極形成が困難になる等の問題が現れている。このため同一電極面積でも蓄積容量を大きくするために、絶縁体として高誘電率材料を用いることが検討されており、これを用いれば溝深さの浅くすることが出来るため、装微を製造するプロセスが容易となり、又いっそうの微細化形成が可能となることが期待される。

- 3 -

欠点もある。

本発明の目的は、容量部に用いる $\text{Ta}_2\text{O}_5$ 膜等の金属酸化膜とシリコン基板とのシリサイド反応を防ぎ、 $\text{Ta}_2\text{O}_5$ 膜等の金属酸化膜と $\text{Ta}_2\text{O}_5$ 膜等の金属酸化膜上部に位置する多結晶シリコン電極との反応を防ぎ、かつ漏れ電流を低減し、さらに $\text{Ta}_2\text{O}_5$ 膜等の金属酸化膜形成後の熱処理による容量の減少を防いだ情報蓄積容量を具備した半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置は、半導体基板や絶縁体基板上に設けられた電極と、該電極上にシリコン窒化膜と、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{Nb}_2\text{O}_5$ 、 $\text{BaTiO}_3$ のうちのいずれかの金属酸化膜と、シリコン窒化膜と、シリコン酸化膜とを順次積層形成した絶縁層と、該絶縁層上に設けられた電極とから構成される容量を備えて構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。第1図は本発明の一実施例の縦断面図

かかる高誘電率材料として最近特に $\text{Ta}_2\text{O}_5$ が取り上げられ、情報蓄積容量部への適用が試みられているが、リーク電流が多くまだ実用に供する特性が得られていないのが現状である。

〔発明が解決しようとする問題点〕

従来、高誘電率材料、例えば $\text{Ta}_2\text{O}_5$ を用いた蓄積容量部のリーク電流の大きい原因は情報蓄積容量部（以下容量部と略す）の絶縁膜として用いた $\text{Ta}_2\text{O}_5$ 膜が、Si基板とシリサイド反応を起こしやすいこと、また基板との対向電極として形成する多結晶シリコン電極と反応を起こしやすいことのため、絶縁性が著しく低下するためと推定される。すなわち、 $\text{Ta}_2\text{O}_5$ 膜が熱処理工程を経ることにより多結晶シリコン電極やSi基板と固相反応を起こしたり、あるいは $\text{Ta}_2\text{O}_5$ 膜が多結晶化するなどにより、絶縁性が悪くなるものと発明者は推定している。また、 $\text{Ta}_2\text{O}_5$ 膜は、 $\text{Ta}_2\text{O}_5$ 膜形成後の熱酸化処理工程中に、 $\text{Ta}_2\text{O}_5$ 膜中を酸素が容易に拡散するためシリコン基板の表面が酸化され、容量部の容量値が減少するという

- 4 -

である。

第1図において、101はこの上に装置を形成するシリコン基板である。シリコン基板はP型、n型いずれの導電性を有する基板であっても良い。102はシリコン基板101表面に形成したシリコン窒化膜である。シリコン窒化膜は、Si基板を窒化する直接熱窒化法、プラズマ直接熱窒化法、もしくは化学気相成長法（CVD法）等により形成でき、 $30\sim50\text{\AA}$ 程度形成するのが望ましい。このシリコン窒化膜は後の工程で $\text{Ta}_2\text{O}_5$ 膜を形成する際に当該 $\text{Ta}_2\text{O}_5$ 膜とシリコン基板とのシリサイド反応を防止するためのものである。さらに、このシリコン窒化膜は、膜中の酸素の拡散係数が小さいため、 $\text{Ta}_2\text{O}_5$ 膜形成後の熱酸化処理工程中に、当該 $\text{Ta}_2\text{O}_5$ 膜を通してシリコン基板101の表面が酸化され、容量が減少するのを防ぐ効果も持っている。103は高誘電材料である $\text{Ta}_2\text{O}_5$ である。 $\text{Ta}_2\text{O}_5$ は金属Taをスパッタリング法等の手法で形成した後熱酸化するか若しくは高周波スパッタ法あるいは化学気相成長法

- 6 -

(CVD法)により直接 $Ta_2O_5$ を形成する等の方法により形成できる。高誘電率材料としてはチタン(Ti)、ニオブ(Nb)やジルコニウム(Zr)等の他の酸化物また $BaTiO_3$ 等の複合酸化物を用いても選択は自由であり、本発明の目的を達成することができる。104は高誘電率材料上に形成したシリコン窒化膜である。シリコン窒化膜は例えば減圧CVD法により形成する。次にこのシリコン窒化膜を熱酸化し薄いシリコン酸化膜105を形成する。シリコン窒化膜は、膜中の酸素の拡散係数が小さいため、ほんのわずかに酸化膜が形成されるのみである。しかし、この酸化の最大の長所はシリコン窒化膜にピンホールが存在する場合、熱酸化によって $Ta_2O_5$ 膜103及びシリコン窒化膜102のピンホールを通してシリコン基板101表面が酸化されることにより下地酸化膜が成長する(従って酸化は)絶縁膜のピンホールを埋める点にある。このため極めて優れた耐圧特性を有する容量が実現できる。またシリコン窒化膜自体はほとんど酸化されないため容量は減少しない特徴も有している。106

- 7 -

した設計値通りの容量が得られる。

なお、上記実施例では、Si基板上に容量を形成したが、他の電極材料基板上に形成しても何等制約はない。

また、上部電極に多結晶シリコンを用いたが、これに限定されるものでなく、Al, W, Mo等の金属を用いてもよい。

#### 〔発明の効果〕

以上説明した様に本発明は、高誘電材料である $Ta_2O_5$ 膜等の金属酸化膜とシリコン基板との間にシリコン窒化膜を設けることにより、 $Ta_2O_5$ 膜等の金属酸化膜とシリコン基板との反応を防止することができる。また、 $Ta_2O_5$ 膜等の金属酸化膜形成後の熱酸化処理によるシリコン基板表面の酸化も抑える効果もある。また $Ta_2O_5$ 膜等の金属酸化膜と多結晶シリコン電極との間にシリコン窒化膜を設けることにより、 $Ta_2O_5$ 膜等の金属酸化膜と多結晶シリコン電極との反応を防止できる効果もある。さらにシリコン窒化膜はNa等の不純物に対する拡散抑制効果が大きいことから、

- 9 -

はシリコン基板の対極となる多結晶シリコン電極である。この電極は多結晶シリコン層およびシリサイド層を順次積層した所謂ポリサイド構造としても良い。

本発明を用いて形成した容量は、電極に7Vの電圧を印加した時の電流密度は $10^{-10} A/cm^2$ になり、 $Ta_2O_5$ 単層膜に比較して、3倍以上リーク電流を低減でき、かつ $Ta_2O_5$ 膜形成後の熱処理を経ても容量を形成している各層の膜厚から推定される容量値とほぼ同じ容量値が得られている。

第2図は本発明の他の実施例の縦断面図で、容量形成法を溝構造に適用したものである。膜形成法は第1図で説明した方法とほぼ同様であるが、溝内壁に均一な厚さの膜を形成する必要があることから、 $Ta_2O_5$ 膜103はCVD法により形成するのが好ましい。また、106の電極は、多結晶シリコンをCVD法で形成すれば、溝内部に極めて容易に電極を埋めこむことができる。本実施例によれば容量値を大きくすることが出来ると共に第1図の実施例と同様リーク電流を大幅に低減

- 8 -

本発明になる容量は電気的安定性にも優れている。

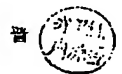
以上のように本発明の構造を用いれば高誘電率材料の性質をいかすことが可能になり、単位面積当たり大きい容量を有し、かつリーク電流の小さい情報蓄積容量部を形成することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の縦断面図、第2図は本発明の他の実施例の縦断面図である。

101……シリコン基板、102……シリコン窒化膜、103…… $Ta_2O_5$ 膜、104……シリコン窒化膜、105……シリコン酸化膜、106……多結晶シリコン電極。

代理人 弁理士 内 原 晋



- 10 -

手 続 補 正 書 (自 発)

昭和 61.9.-8 年 月 日



特 許 庁 長 官 殿

1. 事件の表示 昭和 60 年 特 許 願 第 259867 号
2. 発明の名称 半 導 体 装 置
3. 補正をする者

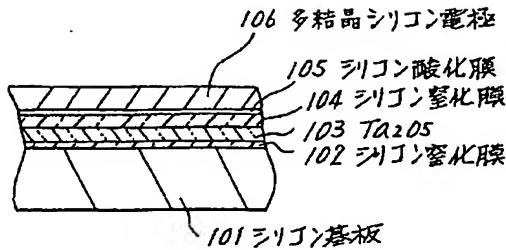
事件との関係

出 願 人

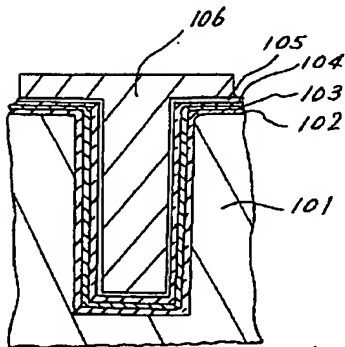
東京都港区芝五丁目33番1号  
(423) 日本電気株式会社  
代表者 関 本 忠 弘

4. 代 理 人

〒108 東京都港区芝五丁目37番8号 住友三田ビル  
日本電気株式会社内  
(8591) 弁理士 内 原 晋  
電 話 東 京 (03) 456-3111(火代表)  
(連絡先 日本電気株式会社 特許部)



第 1 図



第 2 図

5. 補正の対象

明細書の特許請求の範囲の欄および発明の詳細な説明の欄

6. 補正の内容

- (1) 明細書の特許請求の範囲の記載を別紙のとおり訂正いたします。
- (2) 明細書第2頁、16行目の記載「線による」を「線等による」と訂正いたします。
- (3) 明細書第5頁、11行目乃至12行目の記載「半導体基板や絶縁体基板上に設けられた電極と該電極上」を「半導体基板もしくは電極と、該半導体基板上もしくは該電極上」と訂正いたします。
- (4) 明細書第6頁、20行目の記載「成生法」を「成長法」と訂正いたします。

代理人 弁理士 内 原 晋



別 紙

訂正後の特許請求の範囲

「半導体基板もしくは電極と、該半導体基板上もしくは該電極上にシリコン窒化膜と、 $Ta_2O_5$ 、 $TiO_2$ 、 $Nb_2O_5$ 、 $BaTiO_3$ のうちいずれかの金属酸化膜と、シリコン窒化膜と、シリコン酸化膜とを順次複層形成した絶縁層と、該絶縁層上に設けられた電極とを具備せる容量を備えたことを特徴とする半導体装置。」